

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-320293

(43)Date of publication of application : 04.12.1998

(51)Int.Cl.

G06F 12/14
G06K 17/00
G06K 19/073
G06K 19/077
G06K 19/07

(21)Application number : 09-128304

(71)Applicant : ROHM CO LTD

(22)Date of filing : 19.05.1997

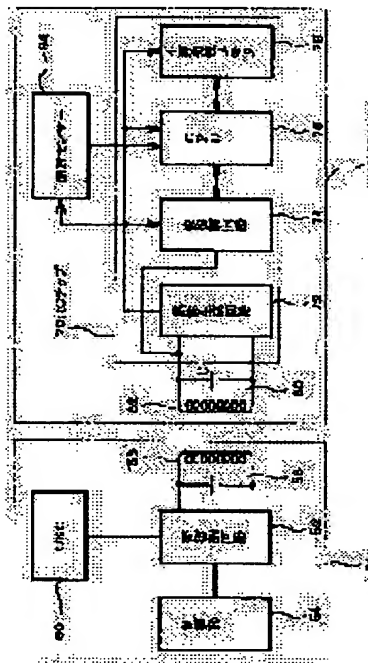
(72)Inventor : IKUTO YOSHIHIRO
OKADA KOJI

(54) IC CARD AND IC CHIP MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide IC cards and IC chip modules having high safeness for secret protection.

SOLUTION: An IC chip 70 provided with an open sensor 84 is sealed in an IC card 30. At the time of detecting the open of the IC card 30, the sensor 84 applies an open detection signal to a CPU 76. The CPU 76 receiving the open detection signal executes previously determined processing, e.g. the deletion of data from a non-volatile memory 78. Thereby even if the data of the memory 78 are tried to be inspected by illegally opening the IC card 30, the data can not be known. Consequently safeness for secret protection can be improved.



LEGAL STATUS

[Date of request for examination]

25.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

【特許請求の範囲】

【請求項1】IC回路を設けたICチップと、
前記ICチップを収納する収納体と、
を有するICカードであって、
前記収納体が開封されたことを検出する開封検出手段を
設け、
前記開封検出手段により開封が検出されると、前記IC
回路の機能の一部または全部が正常に機能しなくなるよ
う構成したこと、
を特徴とするICカード。

【請求項2】請求項1のICカードにおいて、
前記IC回路は、データを記憶するデータ記憶部を備
え、
前記開封検出手段により開封が検出されると、前記デー
タ記憶部のデータの一部または全部を実質的に採取不能
とするよう構成したこと、
を特徴とするもの。

【請求項3】請求項2のICカードにおいて、
前記開封検出手段により開封が検出されると、前記デー
タ記憶部のデータの一部または全部を読出禁止とするよ
う構成したこと、
を特徴とするもの。

【請求項4】請求項2のICカードにおいて、
前記開封検出手段により開封が検出されると、前記デー
タ記憶部のデータの一部または全部を消去するよう構成
したこと、
を特徴とするもの。

【請求項5】請求項1のICカードにおいて、
前記IC回路は、データの処理を行なうデータ処理部を
備え、
前記開封検出手段により開封が検出されると、前記デー
タ処理部の機能の一部または全部を停止するよう構成し
たこと、
を特徴とするもの。

【請求項6】請求項1ないし請求項5のいずれかのIC
カードにおいて、
前記開封検出手段は、収納体が開封されたときの外部か
らの光を検知することにより開封を検出すること、
を特徴とするもの。

【請求項7】請求項6のICカードにおいて、
前記開封検出手段として、複数の受光素子を並列に配置
したこと、
を特徴とするもの。

【請求項8】請求項1ないし請求項5のいずれかのIC
カードにおいて、
前記開封検出手段は、収納体が開封されたときの静電容
量の変化を検知することにより開封を検出すること、
を特徴とするもの。

【請求項9】請求項1ないし請求項5のいずれかのIC
カードにおいて、

前記開封検出手段は、収納体が開封されたときの抵抗値
の変化を検知することにより開封を検出すること、
を特徴とするもの。

【請求項10】請求項9のICカードにおいて、
前記開封検出手段は、収納体が開封されたときに所定の
配線が断線したことを検知することにより開封を検出す
ること、
を特徴とするもの。

【請求項11】少なくとも一方の部材にIC回路を設け
た2以上の部材を一体に形成したICチップモジュール
であって、
当該ICチップモジュールが開封されたことを検出する
開封検出手段を設け、
前記開封検出手段により開封が検出されると、前記IC
回路の機能の一部または全部が正常に機能しなくなるよ
う構成したこと、
を特徴とするICチップモジュール。

【請求項12】請求項11のICチップモジュールにお
いて、
前記IC回路は、データを記憶するデータ記憶部を備
え、
前記開封検出手段により開封が検出されると、前記デー
タ記憶部のデータの一部または全部を実質的に採取不能
とするよう構成したこと、
を特徴とするもの。

【請求項13】請求項12のICチップモジュールにお
いて、
前記開封検出手段により開封が検出されると、前記デー
タ記憶部のデータの一部または全部を読出禁止とするよ
う構成したこと、
を特徴とするもの。

【請求項14】請求項12のICチップモジュールにお
いて、
前記開封検出手段により開封が検出されると、前記デー
タ記憶部のデータの一部または全部を消去するよう構成
したこと、
を特徴とするもの。

【請求項15】請求項11のICチップモジュールにお
いて、

前記IC回路は、データの処理を行なうデータ処理部を
備え、
前記開封検出手段により開封が検出されると、前記デー
タ処理部の機能の一部または全部を停止するよう構成し
たこと、
を特徴とするもの。

【請求項16】請求項11ないし請求項15のいずれか
のICチップモジュールにおいて、
前記開封検出手段は、ICチップモジュールが開封され
たときの外部からの光を検知することにより開封を検出
すること、

を特徴とするもの。

【請求項17】請求項16のICチップモジュールにおいて、
前記開封検出手段として、複数の受光素子を並列に配置したこと、
を特徴とするもの。

【請求項18】請求項11ないし請求項15のいずれかのICチップモジュールにおいて、
前記開封検出手段は、ICチップモジュールが開封されたときの静電容量の変化を検知することにより開封を検出すること、
を特徴とするもの。

【請求項19】請求項11ないし請求項15のいずれかのICチップモジュールにおいて、
前記開封検出手段は、ICチップモジュールが開封されたときの抵抗値の変化を検知することにより開封を検出すること、
を特徴とするもの。

【請求項20】請求項19のICチップモジュールにおいて、
前記開封検出手段は、ICチップモジュールが開封されたときに所定の配線が断線したことを検知することにより開封を検出すること、
を特徴とするもの。

【請求項21】請求項1ないし請求項10のいずれかのICカードにおいて、
前記開封検出手段の一部または全体が、ICチップに設けられた前記IC回路の一部を用いて構成されていること、
を特徴とするもの。

【請求項22】請求項21のICカードにおいて、
前記開封検出手段は、収納体が開封されたときの外部からの光を受光素子を用いて検知することにより開封を検出するよう構成されており、
当該受光素子は、ICチップに設けられた前記IC回路の一部を用いて構成されていること、
を特徴とするもの。

【請求項23】請求項11ないし請求項20のいずれかのICチップモジュールにおいて、
前記開封検出手段の一部または全体が、ICチップに設けられた前記IC回路の一部を用いて構成されていること、
を特徴とするもの。

【請求項24】請求項23のICチップモジュールにおいて、
前記開封検出手段は、収納体が開封されたときの外部からの光を受光素子を用いて検知することにより開封を検出するよう構成されており、
当該受光素子は、ICチップに設けられた前記IC回路の一部を用いて構成されていること、

を特徴とするもの。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はICカードおよびICチップモジュールに関し、特に、ICカードおよびICチップモジュールの安全性（セキュリティ）の向上に関する。

【0002】

【従来の技術】スキー場のリフトや鉄道の自動改札、荷物の自動仕分け等に、非接触型のICカードを用いた通信システムが用いられる。従来の非接触型のICカードの一例を図15に示す。図15に示すICカード2は、1コイル型のICカードであり、アンテナとして用いられるコイル4、コンデンサC1、C2、ICチップ8を備えている。

【0003】コンデンサC1、C2、ICチップ8は、フィルム状の合成樹脂基板上に実装されている。コンデンサC1、C2、ICチップ8を実装した基板を、タブ（tab：tape automated bonding）10という。

【0004】図16Aに、ICカード2の断面図を示す。合成樹脂のコア部材12が一对の表層材14、16に挟まれている。コア部材12に設けられた空洞部18内に露出した表層材14に、コンデンサC1、C2、ICチップ8を実装したタブ10が固定されている。タブ10とICチップ8との接合部は、エポキシ樹脂などの封止材9で被覆されている。

【0005】コイル4は、表層材14とコア部材12との間に配置されている。コイル4とタブ10とは、ワイヤ20により接続されている。

【0006】図16Bに、ICカード2の回路図を示す。ICカード2は、リーダー/ライター（質問器、図示せず）から送られる電磁波を、コイル4およびコンデンサC1により構成される共振回路22で受け、これを電力源とする。なお、コンデンサC2は、電力平滑用のコンデンサである。

【0007】また、該電磁波に重畳して送られる情報をICチップ8に設けられた制御部（図示せず）が解読し、ICチップ8に設けられた不揮発性メモリ（図示せず）の内容を書換えたり、リーダー/ライターに返答を行ったりする。返答は、共振回路22のインピーダンスを変化させることにより行なう。リーダー/ライターは、ICカード2側の共振回路22のインピーダンス変化に伴う自己の共振回路（図示せず）のインピーダンスの変化（インピーダンス反射）を検出することにより、返答内容を知る。

【0008】このように、ICカード2を用いれば、カード内に電源を必要とせずかつ非接触でデータの授受を行なうことができる。

【0009】

【発明が解決しようとする課題】しかしながら、上述の

ような従来のICカード2には、次のような問題点があった。従来のICカード2においては、搭載された不揮発性メモリ等の機能を製造過程等においてチェックするためのパッド（端子）がICチップ8の表面に設けられている（図示せず）。したがって、表層材14、16が剥がされると、このパッドが露出する。露出したパッドにプローブ（検査針）を当てることで、容易に不揮発性メモリのデータを読み出したり、ICチップ8を機能させたりすることができる。すなわち、機密保護に対する安全性がそれほど高くなかった。また、図17に示すように、制御部（図示せず）を備えたICチップ6および不揮発性メモリ（図示せず）を備えたICチップ7の2つのICチップをタブ10に実装したタイプのICカードもある。このようなタイプのICカードにおいては、前述のパッドに加え、2つのICチップを接続する配線24が露出しているため、不揮発性メモリのデータを読み出したりするのが、さらに容易である。

【0010】この発明は、このような問題点を解決し、機密保護に対する安全性の高いICカードおよびICチップモジュールを提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1のICカードは、IC回路を設けたICチップと、前記ICチップを収納する収納体と、を有するICカードであって、前記収納体が開封されたことを検出する開封検出手段を設け、前記開封検出手段により開封が検出されると、前記IC回路の機能の一部または全部が正常に機能しなくなるよう構成したこと、を特徴とする。

【0012】請求項2のICカードは、請求項1のICカードにおいて、前記IC回路は、データを記憶するデータ記憶部を備え、前記開封検出手段により開封が検出されると、前記データ記憶部のデータの一部または全部を実質的に採取不能とするよう構成したこと、を特徴とする。

【0013】請求項3のICカードは、請求項2のICカードにおいて、前記開封検出手段により開封が検出されると、前記データ記憶部のデータの一部または全部を読出禁止とするよう構成したこと、を特徴とする。

【0014】請求項4のICカードは、請求項2のICカードにおいて、前記開封検出手段により開封が検出されると、前記データ記憶部のデータの一部または全部を消去するよう構成したこと、を特徴とする。

【0015】請求項5のICカードは、請求項1のICカードにおいて、前記IC回路は、データの処理を行なうデータ処理部を備え、前記開封検出手段により開封が検出されると、前記データ処理部の機能の一部または全部を停止するよう構成したこと、を特徴とする。

【0016】請求項6のICカードは、請求項1ないし請求項5のいずれかのICカードにおいて、前記開封検出手段は、収納体が開封されたときの外部からの光を検

知することにより開封を検出すること、を特徴とする。

【0017】請求項7のICカードは、請求項6のICカードにおいて、前記開封検出手段として、複数の受光素子を並列に配置したこと、を特徴とする。

【0018】請求項8のICカードは、請求項1ないし請求項5のいずれかのICカードにおいて、前記開封検出手段は、収納体が開封されたときの静電容量の変化を検知することにより開封を検出すること、を特徴とする。

【0019】請求項9のICカードは、請求項1ないし請求項5のいずれかのICカードにおいて、前記開封検出手段は、収納体が開封されたときの抵抗値の変化を検知することにより開封を検出すること、を特徴とする。

【0020】請求項10のICカードは、請求項9のICカードにおいて、前記開封検出手段は、収納体が開封されたときに所定の配線が断線したことを検知することにより開封を検出すること、を特徴とする。

【0021】請求項11のICチップモジュールは、少なくとも一方の部材にIC回路を設けた2以上の部材を一体に形成したICチップモジュールであって、当該ICチップモジュールが開封されたことを検出する開封検出手段を設け、前記開封検出手段により開封が検出されると、前記IC回路の機能の一部または全部が正常に機能しなくなるよう構成したこと、を特徴とする。

【0022】請求項12のICチップモジュールは、請求項11のICチップモジュールにおいて、前記IC回路は、データを記憶するデータ記憶部を備え、前記開封検出手段により開封が検出されると、前記データ記憶部のデータの一部または全部を実質的に採取不能とするよう構成したこと、を特徴とする。

【0023】請求項13のICチップモジュールは、請求項12のICチップモジュールにおいて、前記開封検出手段により開封が検出されると、前記データ記憶部のデータの一部または全部を読出禁止とするよう構成したこと、を特徴とする。

【0024】請求項14のICチップモジュールは、請求項12のICチップモジュールにおいて、前記開封検出手段により開封が検出されると、前記データ記憶部のデータの一部または全部を消去するよう構成したこと、を特徴とする。

【0025】請求項15のICチップモジュールは、請求項11のICチップモジュールにおいて、前記IC回路は、データの処理を行なうデータ処理部を備え、前記開封検出手段により開封が検出されると、前記データ処理部の機能の一部または全部を停止するよう構成したこと、を特徴とする。

【0026】請求項16のICチップモジュールは、請求項11ないし請求項15のいずれかのICチップモジュールにおいて、前記開封検出手段は、ICチップモジュールが開封されたときの外部からの光を検知すること

により開封を検出すること、を特徴とする。

【0027】請求項17のICチップモジュールは、請求項16のICチップモジュールにおいて、前記開封検出手段として、複数の受光素子を並列に配置したこと、を特徴とする。

【0028】請求項18のICチップモジュールは、請求項11ないし請求項15のいずれかのICチップモジュールにおいて、前記開封検出手段は、ICチップモジュールが開封されたときの静電容量の変化を検知することにより開封を検出すること、を特徴とする。

【0029】請求項19のICチップモジュールは、請求項11ないし請求項15のいずれかのICチップモジュールにおいて、前記開封検出手段は、ICチップモジュールが開封されたときの抵抗値の変化を検知することにより開封を検出すること、を特徴とする。

【0030】請求項20のICチップモジュールは、請求項19のICチップモジュールにおいて、前記開封検出手段は、ICチップモジュールが開封されたときに所定の配線が断線したことを検知することにより開封を検出すること、を特徴とする。

【0031】請求項21のICカードは、請求項1ないし請求項10のいずれかのICカードにおいて、前記開封検出手段の一部または全体が、ICチップに設けられた前記IC回路の一部を用いて構成されていること、を特徴とする。

【0032】請求項22のICカードは、請求項21のICカードにおいて、前記開封検出手段は、収納体が開封されたときの外部からの光を受光素子を用いて検知することにより開封を検出するよう構成されており、当該受光素子は、ICチップに設けられた前記IC回路の一部を用いて構成されていること、を特徴とする。

【0033】請求項23のICチップモジュールは、請求項11ないし請求項20のいずれかのICチップモジュールにおいて、前記開封検出手段の一部または全体が、ICチップに設けられた前記IC回路の一部を用いて構成されていること、を特徴とする。

【0034】請求項24のICチップモジュールは、請求項23のICチップモジュールにおいて、前記開封検出手段は、収納体が開封されたときの外部からの光を受光素子を用いて検知することにより開封を検出するよう構成されており、当該受光素子は、ICチップに設けられた前記IC回路の一部を用いて構成されていること、を特徴とする。

【0035】

【発明の作用および効果】請求項1のICカードおよび請求項11のICチップモジュールは、開封されたことを検出するとともに、開封が検出されるとIC回路の機能の一部または全部が正常に機能しなくなるよう構成したことを特徴とする。

【0036】したがって、ICカードを収納した収納体

またはICチップモジュールを開封すると、IC回路が正常に機能しなくなる。このため、不正にICカードやICチップモジュールを入手して開封したとしても、IC回路の機能を知することは極めて困難である。すなわち、機密保護に対する安全性を高めることができる。

【0037】請求項2のICカードおよび請求項12のICチップモジュールは、IC回路がデータを記憶するデータ記憶部を備え、開封が検出されるとデータ記憶部のデータの一部または全部を実質的に採取不能とするよう構成したことを特徴とする。

【0038】したがって、ICカードを収納した収納体またはICチップモジュールを開封すると、データ記憶部のデータの一部または全部が実質的に採取不能となる。このため、不正にICカードやICチップモジュールを入手して開封したとしても、重要なデータを知することは極めて困難である。

【0039】請求項3のICカードおよび請求項13のICチップモジュールは、開封が検出されると、データ記憶部のデータの一部または全部を読出禁止とするよう構成したことを特徴とする。

【0040】したがって、ICカードを収納した収納体またはICチップモジュールが開封された場合、データ記憶部のデータを読み出せなくなるとともに、特別の処理を施すことで当該データを知り得るよう構成することができる。このため、第三者にデータを知られては困るが、データ自体を失いたくないときに好都合である。

【0041】請求項4のICカードおよび請求項14のICチップモジュールは、開封が検出されると、データ記憶部のデータの一部または全部を消去するよう構成したことを特徴とする。

【0042】したがって、ICカードを収納した収納体またはICチップモジュールが開封された場合、データ記憶部のデータの一部または全部は完全に消去される。このため、いったん開封されると、誰も当該データを知ることができなくなる。すなわち、機密保護に対する安全性が極めて高くなる。

【0043】請求項5のICカードおよび請求項15のICチップモジュールは、IC回路がデータの処理を行なうデータ処理部を備え、開封が検出されるとデータ処理部の機能の一部または全部を停止するよう構成したことを特徴とする。

【0044】したがって、ICカードを収納した収納体またはICチップモジュールを開封すると、データ処理部の機能の一部または全部が機能しなくなる。このため、不正にICカードやICチップモジュールを入手して開封したとしても、データ処理部の機能を知することは極めて困難である。

【0045】請求項6のICカードおよび請求項16のICチップモジュールは、開封されたときの外部からの光を検知することにより開封を検出することを特徴とす

る。したがって、収納体またはICチップモジュールの内部に受光素子等を配置することにより、簡単に開封を検出することができる。

【0046】請求項7のICカードおよび請求項17のICチップモジュールは、複数の受光素子を並列に配置したことを特徴とする。したがって小さな受光素子を、収納体またはICチップモジュールの内部に複数配置することで、受光素子を目立たせないようにすることができる。また、複数の受光素子を分散して配置することにより、広範囲にわたり開封を検出することができる。

【0047】請求項8のICカードおよび請求項18のICチップモジュールは、開封されたときの静電容量の変化を検知することにより開封を検出することの特徴とする。したがって、収納体またはICチップモジュールの少なくとも一部を用いてコンデンサを形成しておき、開封により当該コンデンサの静電容量が変化するように構成することにより開封を検出することができる。

【0048】請求項9のICカードおよび請求項19のICチップモジュールは、ICチップモジュールが開封されたときの抵抗値の変化を検知することにより開封を検出することの特徴とする。したがって、収納体またはICチップモジュールの少なくとも一部を用いて抵抗を形成しておき、開封により当該抵抗の値が変化するように構成することにより開封を検出することができる。

【0049】請求項10のICカードおよび請求項20のICチップモジュールは、開封されたときに所定の配線が断線したことを検知することにより開封を検出することの特徴とする。したがって、収納体またはICチップモジュールの少なくとも一部に配線を施しておき、開封により当該配線が断線するように構成することにより開封を検出することができる。

【0050】請求項21のICカードおよび請求項23のICチップモジュールは、開封検出手段の一部または全体が、ICチップに設けられたIC回路の一部を用いて構成されていることを特徴とする。

【0051】したがって、開封検出手段の存在がICチップの外部から判り難いので、さらに機密保護に対する安全性を高めることができる。また、ICチップを製造する際、開封検出手段の一部または全体を造り込むことができる。このため、ICカードまたはICチップモジュールの製造コストの上昇を抑えることが可能となる。

【0052】請求項22のICカードおよび請求項24のICチップモジュールは、開封検出手段を構成する受光素子を、ICチップに設けられたIC回路の一部を用いて構成したことを特徴とする。

【0053】したがって、IC回路を用いて形成することが容易なフォトダイオード等の受光素子を用いて、容易に開封検出手段を造り込むことができる。また、小さな受光素子を複数分散させて造り込むようにすれば、受光素子の存在がICチップの外部から、いっそう判り難

くなるため好都合である。

【0054】

【発明の実施の形態】図1に、この発明の一実施形態によるICカード30を示す。ICカード30は、1コイル型のICカードであり、プリペイドカード、スキー場のリフトや鉄道の自動改札、荷物の自動仕分け等に用いることができる。

【0055】図2に、図1における要部断面（断面S2-S2）を示す。ICカード30は、表層材32、コア部材34、表層材36をこの順に積層した構造を有している。表層材32、36として、塩化ビニル、PET（ポリエチレンテレフタレート）等の合成樹脂を用いている。また、コア部材34は、合成樹脂により構成されている。表層材32、36およびコア部材34が、収納体に該当する。

【0056】コア部材34で形成された層の中に空洞部38が設けられている。空洞部38には、ICチップ70や共振回路80（図3参照）を構成するコンデンサCを搭載したタブ（tab：tape automated bonding）40が、配置されている。タブ40は、表層材32に固定されている。タブ40とICチップ70との接合部は、エポキシ樹脂などの封止材42で被覆されている。アンテナ82は、表層材32とコア部材34との間に配置されている。アンテナ82とタブ40とは、ワイヤ44により接続されている。

【0057】また、タブ40には、図1に示すように、後述する開封センサー84（図3参照）を構成する、受光素子であるフォトダイオードD1、D2、D3、D4および抵抗R1が実装されている。

【0058】なお、図2に示す空洞部38を合成樹脂などで充填することもできる。この場合、充填された合成樹脂も、上述の収納体に含まれる。また、空洞部38内を合成樹脂などで充填した場合には、表層材32、表層材36のいずれか一方または双方を設けないよう構成することもできる。

【0059】図3に、ICカード30の回路構成を示す。質問器50は、制御部54の制御により、発振回路60からの高周波搬送波をアンテナ58から送り出している。質問器50に対してICカード30が接近すると、この高周波搬送波は、ICカード30のアンテナ82に受信される。電源生成回路72は、受信した高周波を直流電力に変換して、他の回路部分に供給する。このようにして、質問器50に近づくと、ICカード30が動作可能となる。

【0060】質問器50からICカード30に対する情報送信は、制御部54の制御により、高周波搬送波を変復調回路52において変調することにより行う。ICカード30は、変調された高周波搬送波を変復調回路74において復調する。データ処理部であるCPU76は、復調された情報を得て、データ記憶部である不揮発性メ

メモリ78の内容の書き換えや情報返信等の必要な処理を行う。

【0061】上記と逆に、ICカード30から質問器50に対しての情報送信も行われる。ここで、ICカード30側には、発振回路が設けられていない。したがって、質問器50の側から無変調の高周波搬送波を送り出しておき、ICカード30側にて、変復調回路74により、共振回路80のインピーダンスを変化させるようにしている。質問器50は、このインピーダンス変化を、自己側の共振回路56のインピーダンス変化として、変復調回路52により検出して復調を行う。制御部54は、復調された情報を得て、必要な処理を行う。

【0062】ICカード30が質問器50から遠ざかると、電力供給が無くなるので、ICカード30の動作は停止する。しかし、不揮発性メモリ78を用いているので、電力供給が無くなっても、記憶された情報は保持される。

【0063】開封検出手段である開封センサー84は、表層材32、36（図2参照）が剥がされたことを検出すると、開封検出信号をCPU76に与える。CPU76は、開封検出信号を得ると、予め定められた処理、例えば不揮発性メモリ78のデータの消去などを行なう。

【0064】図4は、開封センサー84の一例を示す回路図である。開封センサー84は、並列接続した4つのフォトダイオードD1～D4と、抵抗R1とを、直列に接続することにより構成されている。開封センサー84には、電源生成回路72（図3参照）から電源電圧Eが印加されている。開封センサー84の2つの出力端子Tは、CPU76（図3参照）に接続されている。

【0065】フォトダイオードD1～D4のいずれにも光が当たらないときは、2つの出力端子T間の電圧は、所定のしきい値以下になるよう設定されている。フォトダイオードD1～D4のいずれかに光が当たると、2つの出力端子T間の電圧は前記しきい値以上になるよう設定されている。

【0066】通常は、図2に示すように、表層材32、36およびコア部材34により封鎖された空洞部38内にフォトダイオードD1～D4が配置されている。したがって、2つの出力端子T間の電圧はしきい値以下である。ところが、ICカード30が開封された場合、たとえば、表層材36が剥がされた場合には、空洞部38に光が差し込み、フォトダイオードD1～D4のいずれかに光が当たる。これにより、2つの出力端子T間の電圧はしきい値以上になる。2つの出力端子T間に生ずる当該しきい値以上の電圧が、上述の開封検出信号に該当する。

【0067】なお、この例においては、フォトダイオードD1～D4のいずれかに光が当たると、2つの出力端子T間の電圧がしきい値以上になるよう設定したが、フォトダイオードD1～D4のうち2つ以上、3つ以上、または全てに光が当たった場合に、2つの出力端子T間の電圧が

しきい値以上になるよう設定することもできる。このように設定すれば、フォトダイオードD1～D4個々の容量が小さくて済むため、フォトダイオードD1～D4を目立たなくすることができる。

【0068】また、この例においては、4つのフォトダイオードD1～D4を並列接続して用いたが、並列接続するフォトダイオードの数は、4つに限定されるものではない。また、フォトダイオードを1つだけ用いることもできる。

【0069】また、この例においては、光を検出する手段としてフォトダイオードを例に説明したが、光を検出する手段としては、フォトダイオードの他に、たとえばフォトトランジスタなどを用いることもできる。なお、外部からの光を検知することにより開封を検出する手段は、上述の回路等に限定されるものではない。

【0070】つぎに、図5に、開封センサー84の他の例を示す。図5Aは、他の例による開封センサー84を用いたICカード30の要部断面を示す図である。図5Bは、当該開封センサー84の回路図である。

【0071】図5Bに示すように、開封センサー84は、2つの抵抗R2およびR3を直列に接続することにより構成されている。図4に示される例と同様に、開封センサー84には、電源生成回路72から電源電圧Eが印加され、開封センサー84の2つの出力端子Tは、CPU76に接続されている。

【0072】図5Aに示すように、表層材32の内側には電極46が固着され、表層材36の内側には電極48が固着されている。電極46と電極48との間のコア部材34は、所定の電気抵抗R2を有するよう設定されている。すなわち、コア部材34が、図5Bに示す抵抗R2に該当する。電極46、48は、それぞれ、ワイヤ62、64を介して、タブ40に接続されている。抵抗R3は、タブ40の適所に配置されている（図示せず）。

【0073】電極46、48間の抵抗値がR2に等しいときは、2つの出力端子T間の電圧は、所定のしきい値以下になるよう設定されている。電極46、48間の抵抗値がR2より大きくなると、2つの出力端子T間の電圧は前記しきい値以上になるよう設定されている。

【0074】通常は、図5に示すように、電極46、48間にコア部材34が密着した状態になっている。したがって、2つの出力端子T間の電圧はしきい値以下である。ところが、ICカード30が開封された場合、たとえば、表層材36が剥がされた場合には、表層材36に固着された電極48と、コア部材34とが分離してしまうため、電極46、48間の抵抗値が極めて大きくなる。これにより、2つの出力端子T間の電圧はしきい値以上になる。図4に示される例と同様に、2つの出力端子T間に生ずる当該しきい値以上の電圧が、上述の開封検出信号に該当する。なお、抵抗値の変化を検知することにより開封を検出する手段は、上述の回路等に限定さ

れるものではない。

【0075】つぎに、図6に、開封センサー84のさらに他の例を示す。図6Aは、さらに他の例による開封センサー84を用いたICカード30の要部断面を示す図である。図6Bは、当該開封センサー84の回路図である。

【0076】図6Bに示すように、開封センサー84は、コンデンサCsおよび抵抗R4を直列に接続することにより構成されている。上述の各例と同様に、開封センサー84には、電源生成回路72から電源電圧Eが印加され、開封センサー84の2つの出力端子Tは、CPU76に接続されている。

【0077】図6Aに示すように、表層材32の内側には電極46が固着され、表層材36の内側には電極48が固着され、電極46、48は、それぞれ、ワイヤ62、64を介して、タブ40に接続されている点は、図5に示す例と同様である。ただし、図6に示す開封センサー84においては、電極46と電極48との間のコア部材34は、所定の誘電率を有するよう設定されている。すなわち、電極46、48およびコア部材34により、所定の静電容量Csを有するコンデンサCsを構成している。抵抗R4は、タブ40の適所に配置されている（図示せず）。

【0078】2つの出力端子T間の電圧は、電源E投入後、コンデンサCsおよび抵抗R4により定まる時定数で、電源電圧に達する。そこで、抵抗R4の値を適当な値に設定することで、電極46、48間の静電容量がCsに等しいときには、電源投入後所定時間経過後における2つの出力端子T間の電圧が、所定のしきい値以下になるように設定している。電極46、48間の静電容量がCsより小さくなると、すなわち時定数が小さくなると、電源投入後所定時間経過後における2つの出力端子T間の電圧が、前記しきい値以上になるよう設定されている。

【0079】通常は、図6に示すように、電極46、48間にコア部材34が密着した状態になっている。したがって、電源投入後所定時間経過後における2つの出力端子T間の電圧はしきい値以下である。ところが、ICカード30が開封された場合、たとえば、表層材36が剥がされた場合には、表層材36に固着された電極48とコア部材34とが分離するとともに、表層材36に固着された電極48と、表層材32に固着された電極46との距離が大きくなる。これにより、電極46、48間の静電容量がCsより小さくなるため、時定数が小さくなる。この結果、電源投入後所定時間経過後における2つの出力端子T間の電圧はしきい値以上になる。この例においては、電源投入後所定時間経過後において2つの出力端子T間に生ずる当該しきい値以上の電圧が、上述の開封検出信号に該当する。

【0080】なお、静電容量の変化を検知することによ

り開封を検出する手段は、上述の回路等に限定されるものではない。たとえば、コンデンサとコイルとにより共振回路を構成し、コンデンサの静電容量の変化に起因する当該共振回路の共振周波数の変化を検出することにより開封を検出するよう構成することもできる。

【0081】なお、上述の各実施形態においては、図3に示すように、開封センサー84をICチップ70の外部に設けるよう構成したが、開封センサー84を設ける位置は、特に限定されるものではない。たとえば、図12に示すように、開封センサー84をICチップ70の内部に設けるよう構成することもできる。また、開封センサー84の一部をICチップ70の内部に設け、他の部分をICチップ70の外部に設けるよう構成することもできる。

【0082】開封センサー84の一部または全体を、ICチップ70の内部に設けるようすることで、開封センサー84の存在がICチップ70の外部から判り難くなり、さらに機密保護に対する安全性を高めることができる。また、ICチップ70を製造する際、開封センサー84の一部または全体を造り込むことができるので、ICカード30の製造コストの上昇を抑えることが可能となる。なお、後述するICチップモジュールにおいても、ICカード30の場合と同様に、開封センサー84の一部または全体を、ICチップの内部に設けることができる。

【0083】図13は、前述の開封センサー84（図4参照）を構成するフォトダイオードD1、D2、D3、D4を、ICチップ70に設けられたIC回路の一部を用いて構成した場合における、ICチップ70の構成の一部を示す図面である。図13Aは、ICチップ70の平面構成を模式的に表わした図面である。図13Bは、ICチップ70の主要断面図である。

【0084】図13Bに示すように、ICチップ70のp型半導体基板100内に、複数（この例では4つ）のnウェル領域102が形成されている。各nウェル領域102内にp+領域104が形成されている。それぞれのnウェル領域102とp+領域104とにより、フォトダイオードD1、D2、D3、D4が構成される。

【0085】各p+領域104は、層間膜106に設けられたコンタクトホール106aを介して、アルミ配線108により、相互に接続される。同様に、各nウェル領域102も、アルミ配線110（図13A参照）により、相互に接続される。このように、アルミ配線108とアルミ配線110とを用いて、4つのフォトダイオードD1、D2、D3、D4を並列に接続している。これらを覆うようにパッシベーション膜112が形成されている。

【0086】前述（図2参照）の場合同様、ICカード30が開封された場合、たとえば、表層材36が剥がされた場合には、パッシベーション膜112、層間膜10

6を透過した光が、ICチップ70の表面近くに形成されたフォトダイオードD1~D4に当たる。これにより、開封検出信号が生成される。

【0087】このように、フォトダイオードD1、D2、D3、D4を、ICチップ70に設けられたIC回路の一部を用いて構成することは、製造技術上、比較的容易である。また、このように、小さなフォトダイオードを複数分散させて造り込むようにすれば、フォトダイオードの存在がICチップ70の外部から、いっそう判り難くなるため好都合である。

【0088】なお、図13の例では、p型半導体基板100内に、フォトダイオードD1、D2、D3、D4に対応させて、複数のnウェル領域102を形成するよう構成したが、図14のように、p型半導体基板100内に、フォトダイオードD1、D2、D3、D4に兼用して用いられる一つのnウェル領域102を形成するよう構成してもよい。このように構成すれば、アルミ配線110を短くすることができ、好都合である。

【0089】つぎに、ICカード30が開封された場合にCPU76が行なう処理の一例について、図3または図12、および図7のフローチャートを参照しつつ説明する。上述のように、ICカード30は、内部に電源をもっていない。したがって、ICカード30が開封されたとしても、CPU76が作動していないときには、CPU76はICカード30が開封されたことを知ることができない。

【0090】ICカード30を開封した者が、CPU76の動作や不揮発性メモリ78のデータを調べるために、露出したICチップ70の電源用のパッド（図示せず）を探し、これにプローブなどを当てて、ICチップ70に電源を与えたとする。電源が与えられることにより、CPU76が起動する（ステップS1）。

【0091】CPU76は、起動後、まず、開封センサー84から開封検出信号が与えられているか否かを調べる（ステップS2）。開封検出信号が与えられていない場合には、通常の処理を行なう。

【0092】上述のように、ICカード30が開封された場合には、開封センサー84から開封検出信号が与えられている。したがって、このときには、CPU76は、不揮発性メモリ78のデータを全て消去する（ステップS3）。

【0093】このように、ICカード30を開封すると、不揮発性メモリ78のデータが全て消去されるため、いったん開封されると、誰も当該データを知ることとはできなくなる。このように構成することで、機密保護に対する安全性を極めて高くすることができる。

【0094】なお、この例においては、ICカード30が開封されると不揮発性メモリ78のデータを全て消去するよう構成したが、ICカード30が開封されると、不揮発性メモリ78の一部のデータのみを消去するよう

構成することもできる。このように構成すれば、第三者に知られてはならないデータのみを選択的に消去するとともに、その他のデータを保存することができるため、好都合である。

【0095】図8は、ICカード30が開封された場合にCPU76が行なう処理の他の例を示すフローチャートである。CPU76が開封を検出するまでの処理（ステップS11、S12）は、図7に示される例と同様である（ステップS1、S2参照）。ただし、この例においては、開封を検出すると、CPU76は、不揮発性メモリ78のデータを全て読出し不能とする（ステップS13）。

【0096】また、図7に示される例と異なり、この例においては、読出不能とされた不揮発性メモリ78のデータを、特別の処理を施すことにより、再度読み出すこともできる。

【0097】すなわち、CPU76は、ICチップ70に設けられた所定のパッド（図示せず）から所定のイネーブル信号（読出許可信号）が入力されたか否かを監視しており（ステップS14）、該イネーブル信号が入力された場合に限り、不揮発性メモリ78のデータを、再度読出し可能とする（ステップS15）。なお、イネーブル信号を暗号化しておけば、第三者によるデータの読み出しを、ある程度防止することができる。

【0098】このように、ICカード30を開封すると不揮発性メモリ78のデータが全て読出し不能となるよう構成するとともに、特別の処理を施すことで当該データを知り得るよう構成すれば、第三者にデータを知られる危険が少なく、かつ、必要に応じてデータを後で取り出すことも可能となるため、好都合である。

【0099】なお、この例においては、ICカード30が開封されると不揮発性メモリ78のデータを全て読出不能とするよう構成したが、ICカード30が開封されると、不揮発性メモリ78の一部のデータのみを読出不能とするよう構成することもできる。

【0100】また、イネーブル信号が入力された場合、読出不能とされた全ての不揮発性メモリ78のデータを再度読出し可能とするよう構成したが、イネーブル信号が入力された場合、読出不能とされた不揮発性メモリ78のデータのうち、一部のデータのみを再度読出し可能とするよう構成することもできる。このように構成すれば、第三者に絶対知られてはならないデータについては、だれも読み出すことができなくなるため、機密保持の点で好ましい。

【0101】図9は、ICカード30が開封された場合にCPU76が行なう処理のさらに他の例を示すフローチャートである。CPU76が開封を検出するまでの処理（ステップS21、S22）は、上述の各例と同様である。ただし、この例においては、開封を検出すると、CPU76は、CPU76自身を作動不能とする（ステ

ップS23)。

【0102】このように、ICカード30を開封すると、CPU76が機能しなくなるので、不正にICカードやICチップモジュールを入手して開封したとしても、データ処理の機能を知ることは極めて困難となる。

【0103】図8に示される例と同様に、この例においても、いったん作動不能となったCPU76を、特別の処理を施すことにより、再度作動可能にすることができる。すなわち、ICチップ70に設けられた所定のパッド(図示せず)から所定のイネーブル信号(CPU作動許可信号)が入力された場合に限り、CPU76が、再度作動可能となる。(ステップS24、S25)。

【0104】なお、この例においては、ICカード30が開封されるとCPU76の機能全体を作動不能とするよう構成したが、ICカード30が開封されると、CPU76の機能の一部のみを停止させ、他の機能を停止させないよう構成することもできる。このように構成すれば、第三者に知られてはならない処理機能のみを停止させ、その他の一般的な機能は停止させないようにすることができるため、好都合である。

【0105】また、イネーブル信号が入力された場合、停止されたCPU76の機能の全てを作動可能とするよう構成したが、イネーブル信号が入力された場合、停止されたCPU76の機能のうち、一部の機能のみを、再度作動可能とするよう構成することもできる。このように構成すれば、第三者に絶対知られてはならない処理機能については、だれも知ることができなくなるため、機密保持の点で好ましい。

【0106】なお、この例においては、所定のイネーブル信号を入力することにより、停止されたCPU76の機能を、再度作動可能とするよう構成したが、いったん停止されたCPU76の機能は、再び作動可能とならないよう構成することもできる。

【0107】つぎに、図10Aに、この発明の他の実施形態によるICチップモジュール92の分解斜視図を示す。ICチップモジュール92は、プリペイドカード、スキー場のリフトや鉄道の自動改札、荷物の自動仕分け等に用いるICカードに内蔵される。

【0108】ICチップモジュール92は、ICチップ86とICチップ88とを異方性導電体90により接合することにより形成されている。この実施形態においては、ICチップ86に、CPU、変復調回路、電源生成回路などの主要回路(図示せず)が搭載され、ICチップ88に不揮発性メモリ(図示せず)が搭載されている。ICチップ86の上面には複数の端子86a、86b、・・・が設けられ、ICチップ88の下面には、前述の端子86a、86b、・・・と対向する位置に、端子88a、88b、・・・が、それぞれ設けられている。

【0109】異方性導電体90は、一方向にのみ導電性

を有する導電体で、接着性を有している。異方性導電体として、たとえば熱硬化性の接着剤であるアニソルム(日立化成)を用いることができる。このような異方性導電体90を用いることにより、ICチップ86およびICチップ88を強固に接合することができる。異方性導電体90を用いて、ICチップ86およびICチップ88を接合することにより、互いに対向する位置に設けられた各端子86a、86b、・・・と、端子88a、88b、・・・とが、電気的に接続される。このようにして、ICチップモジュール92を形成することができる。

【0110】端子86c、86d、・・・と、端子88c、88d、・・・とが、電気的に接続されることにより、ICチップ86に設けられた主要回路とICチップ88に設けられた不揮発性メモリとが電気的に接続される。なお、このようにして形成されたICチップモジュール92と、アンテナを含む共振回路(図示せず)とを収納体(図示せず)に封入することにより、非接触式のICカードが完成する。

【0111】ICチップモジュール92は、開封センサー84を備えている。図10Bに、この実施形態における開封センサー84の回路図を示す。図10Bに示すように、開封センサー84は、配線89と抵抗R5とを直列に接続することにより構成されている。上述の各開封センサー84(たとえば図5B)に示される例と同様に、開封センサー84には、ICチップ86に設けられた電源生成回路(図示せず)から電源電圧Eが印加され、開封センサー84の2つの出力端子Tは、ICチップ86に設けられたCPU(図示せず)に接続されている。

【0112】図10Aに示すように、ICチップ88に設けられた端子88aと端子88bとは、ICチップ88の内部で、配線89により電気的に接続されている。したがって、ICチップ86に設けられた端子86aと端子86bとは、異方性導電体90、端子88a、配線89、端子88bを介して電気的に接続されている。なお、図10Bに示す抵抗R5は、ICチップ86内の適所に配置されている(図示せず)。

【0113】2つの出力端子T間が配線89により導通されているときは、2つの出力端子T間の電圧は、所定のしきい値以下になるよう設定されている。2つの出力端子T間が非導通状態(断線状態)になると、2つの出力端子T間の電圧は前記しきい値以上になるよう設定されている。

【0114】通常は、ICチップ86とICチップ88とは異方性導電体90を介して接続されているため、2つの出力端子T間が導通状態になっている。このため、2つの出力端子T間の電圧はしきい値以下である。ところが、ICチップモジュール92が開封された場合、すなわち、ICチップ86とICチップ88とが分離され

た場合には、端子86aと端子86bとは非導通状態となる。これにより、2つの出力端子T間の電圧はしきい値以上になる。2つの出力端子T間に生ずる当該しきい値以上の電圧が、上述の開封検出信号に該当する。

【0115】なお、配線が断線状態となったことを検知することにより開封を検出する手段は、上述の回路等に限定されるものではない。

【0116】また、異方性導電体90を用いることなく、他の方法、たとえばハンダ付けや、共晶結合を利用したバンプ技術などを用いて、端子86a、86b、・・・と、端子88a、88b、・・・とを電氣的に接続するよう構成することもできる。

【0117】つぎに、図11Aに、この発明の他の実施形態によるICチップモジュール98の分解斜視図を示す。ICチップモジュール98は、ICチップ94と、ICチップ94の上面に貼り付けられたシール状部材96とを備えている。上述のICチップモジュール92（図10参照）の場合と異なり、この実施形態においては、ひとつのICチップ94に、CPU、変復調回路、電源生成回路などの主要回路および不揮発性メモリを搭載している。

【0118】ICチップ94の上面には2個の端子94a、94b、および不揮発性メモリのチェック等に使用するパッド95が設けられている。シール状部材96はこれらの端子94a、94b、およびパッド95を覆うように貼り付けられている。シール状部材96の接着面側の、少なくとも端子94a、94bに対向する帯状の部分には、導電性の材料で形成された帯状配線97を構成している。

【0119】ICチップモジュール98の開封センサー84の回路図を図11Bに示す。この実施形態における開封センサー84の回路は、前述の図10Bに示す回路と同様である。すなわち、図11Aに示すように、ICチップ94に設けられた端子94aと端子94bとは、シール部材96に形成された帯状配線97を介して、電氣的に接続されている。

【0120】上述のICチップモジュール92の場合同様、通常は、ICチップ94の上面にシール部材96が貼り付けられているため、2つの出力端子T間が導通状態になっている。このため、2つの出力端子T間の電圧は、しきい値以下である。ところが、ICチップモジュール98が開封された場合、すなわち、パッド95にプローブ等をあてるためにICチップ94の上面のシール部材96が剥がされた場合には、端子94aと端子94bとは非導通状態となる。これにより、2つの出力端子T間の電圧は、しきい値以上になる。2つの出力端子T間に生ずる当該しきい値以上の電圧が、開封検出信号に該当するのは、上述のICチップモジュール92の場合と同様である。開封検出信号を得ることにより、CPUは、ICチップモジュール98が開封されたことを知

る。

【0121】なお、図10および図11に示す実施形態においては、配線が断線状態（非導通状態）となったことを検知することによりICチップモジュールが開封されたことを検出する場合を例に説明したが、上述のICカード30の場合同様、ICチップモジュールが開封されたときの外部からの光を検知することにより開封を検出するよう構成することもできる。また、ICチップモジュールが開封されたときの静電容量の変化を検知することにより開封を検出するように構成したり、ICチップモジュールが開封されたときの抵抗値の変化を検知することにより開封を検出するように構成することもできる。

【0122】さて、ICチップ86（図10参照）またはICチップ94（図11参照）に内蔵されたCPUは、開封検出信号を得ると、上述のICカード30の場合と同様の処理、例えばCPUを作動不能とするような処理（図9参照）を行なう。

【0123】なお、ICチップモジュール98（図11参照）のように、CPUと不揮発性メモリとを同一のICチップに設けるよう構成した場合には、不揮発性メモリのデータの一部または全部を消去するような処理（図7参照）や、データの一部または全部を読出禁止とするような処理（図8参照）を行なうよう構成することもできる。

【0124】なお、上述の各実施形態においては、1コイル型の非接触型のICカードに、この発明を適用した場合を例に説明したが、この発明は、いわゆる複数コイル型の非接触型のICカードにも適用することができる。また、非接触型のICカード以外に、接触型のICカードにも適用することができる。さらに、ICチップを搭載したICカード一般に適用することができる。ここでいうICカードとは、収納体にICチップを収納したものをいい、形状、大きさを問わない。収納体は、略板状の部材の他、箱状の部材をも含む概念である。また、ICカードのみならず、IC回路を設けた部材を含むICチップモジュールにも適用することができる。

【図面の簡単な説明】

【図1】この発明の一実施形態によるICカード30を示す図面である。

【図2】図1における要部断面（断面S2-S2）を示す図面である。

【図3】ICカード30の回路構成を示す図面である。

【図4】開封センサー84の一例を示す回路図である。

【図5】図5Aは、他の例による開封センサー84を用いたICカード30の要部断面を示す図である。図5Bは、当該開封センサー84の回路図である。

【図6】図6Aは、さらに他の例による開封センサー84を用いたICカード30の要部断面を示す図である。図6Bは、当該開封センサー84の回路図である。

【図7】ICカード30が開封された場合にCPU76が行なう処理の一例を示すフローチャートである。

【図8】ICカード30が開封された場合にCPU76が行なう処理の他の例を示すフローチャートである。

【図9】ICカード30が開封された場合にCPU76が行なう処理のさらに他の例を示すフローチャートである。

【図10】図10Aはこの発明の他の実施形態によるICチップモジュール92の分解斜視図である。図10Bは、この実施形態における開封センサー84の回路図である。

【図11】図11Aはこの発明の他の実施形態によるICチップモジュール98の分解斜視図である。図11Bは、この実施形態における開封センサー84の回路図である。

【図12】開封センサーをICチップの内部に設けた場合のICカードの構成を示す図面である。

【図13】図13Aは、IC回路の一部を用いてフォトダイオードを構成した場合における、ICチップ70の

平面構成の一例を表わした図面である。図13Bは、図13Aに示すICチップ70の主要断面図である。

【図14】図14Aは、IC回路の一部を用いてフォトダイオードを構成した場合における、ICチップ70の平面構成の他の例を表わした図面である。図14Bは、図14Aに示すICチップ70の主要断面図である。

【図15】従来の非接触型のICカードの一例を示す図面である。

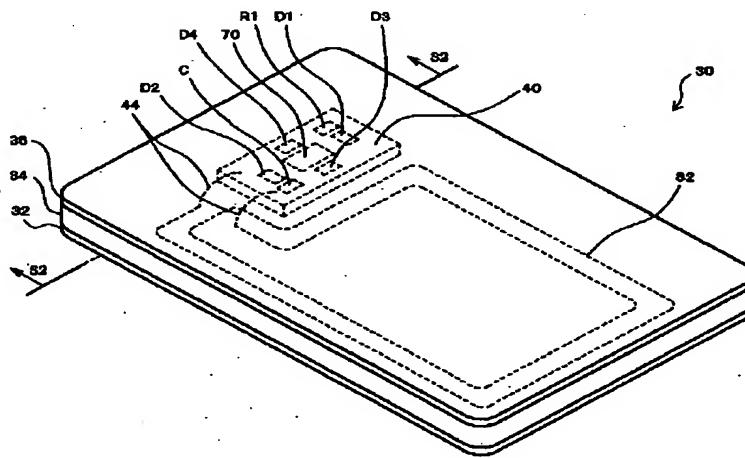
【図16】図16Aは、図15における断面S1-S1を示す図面である。図16Bは、ICカード2の回路図である。

【図17】従来の非接触型のICカードの他の例を示す図面である。

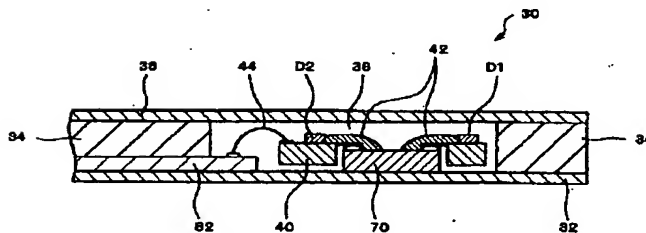
【符号の説明】

30・・・ICカード
70・・・ICチップ
76・・・CPU
78・・・不揮発性メモリ
84・・・開封センサー

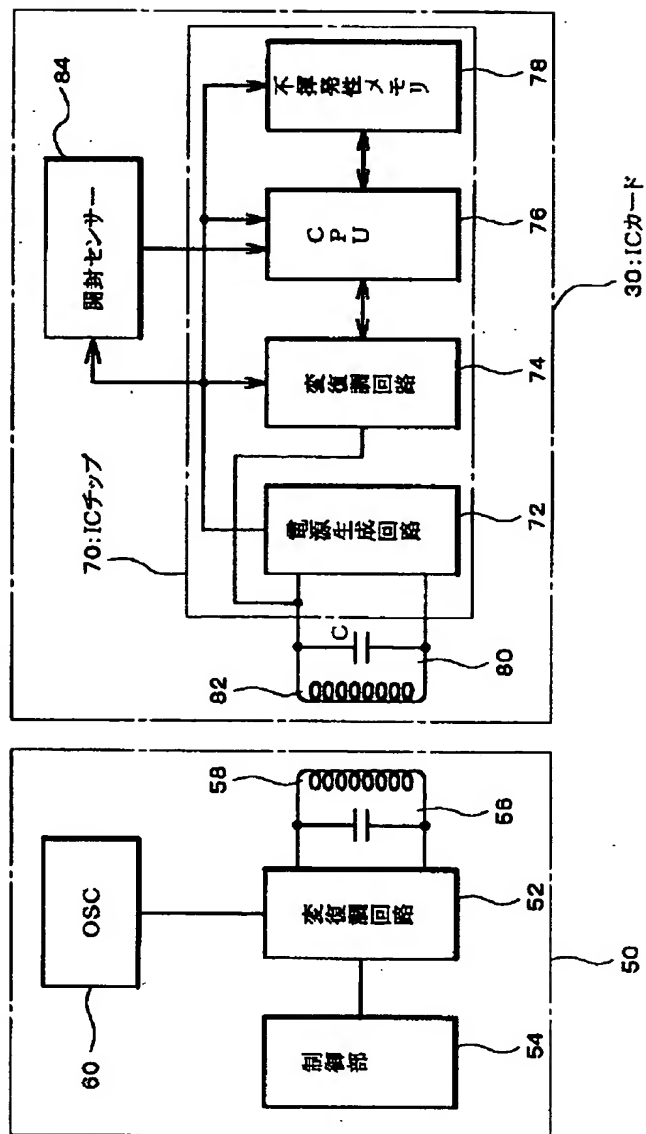
【図1】



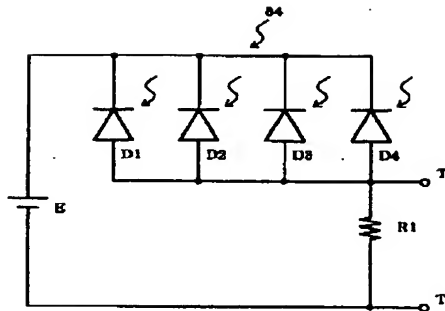
【図2】



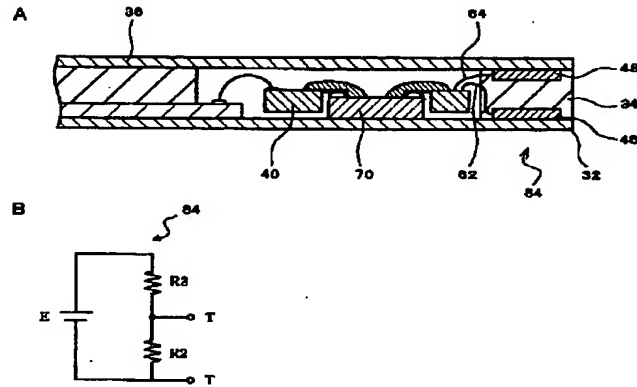
【図3】



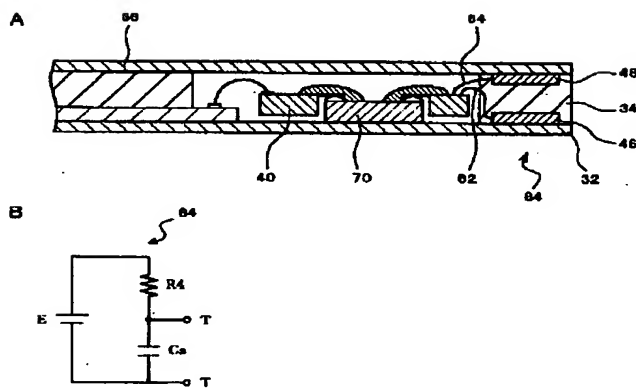
【図4】



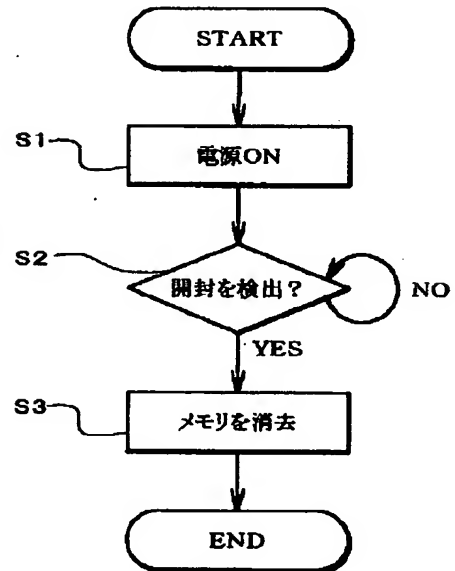
【図5】



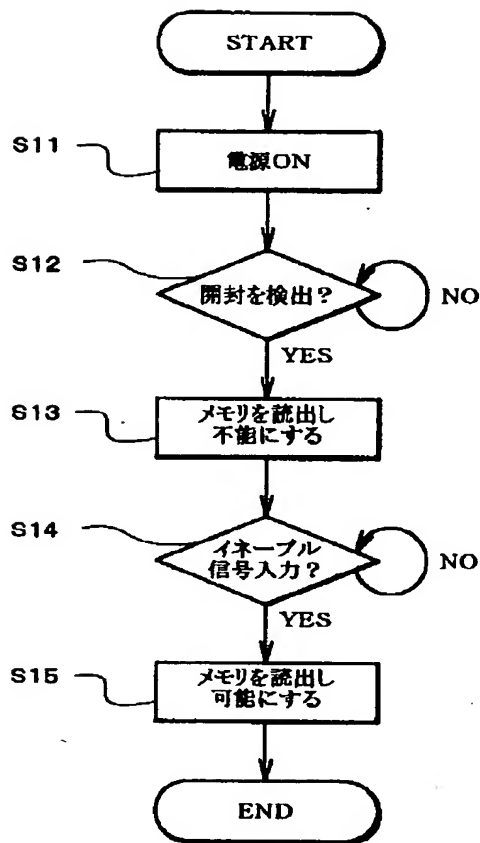
【図6】



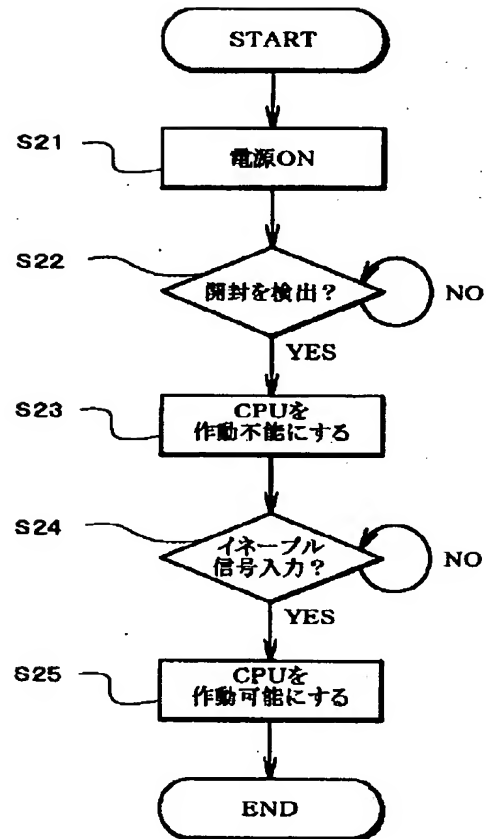
【図7】



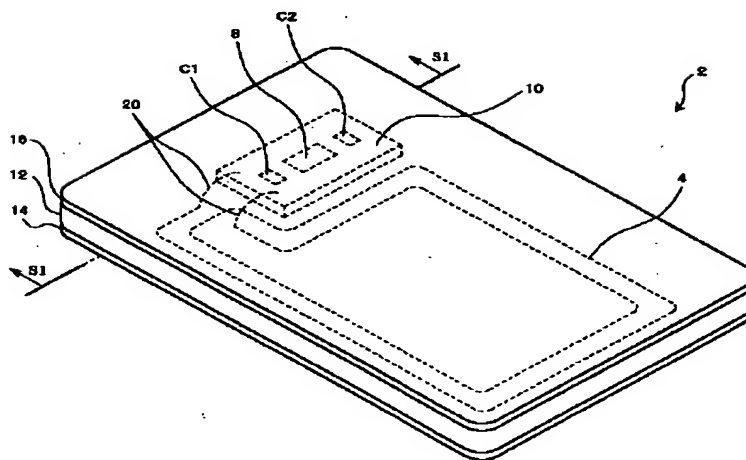
【図8】



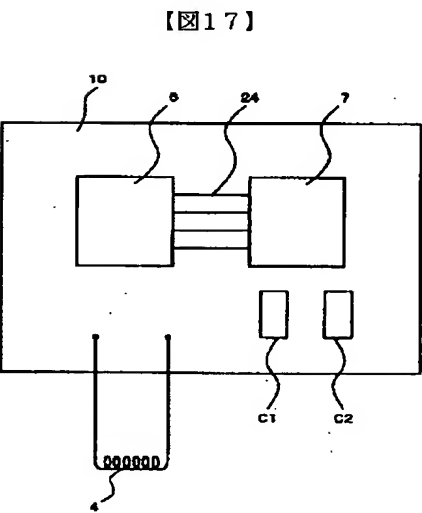
【図9】




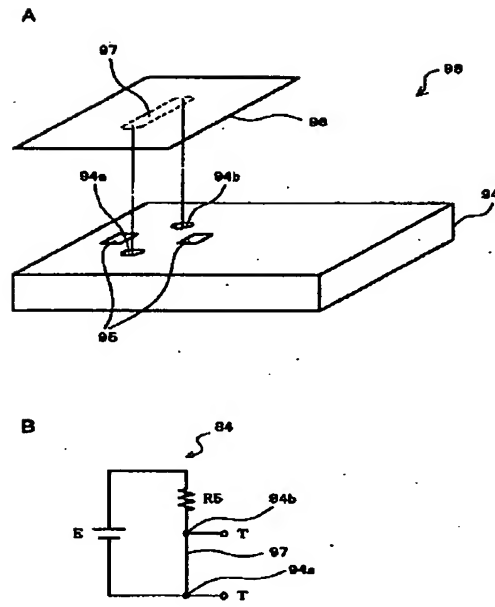
【図15】



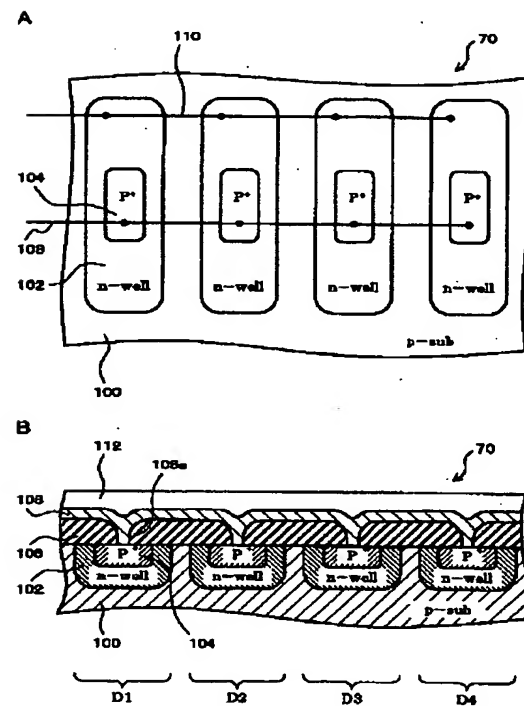
【図10】



【 1 1】



【图13】



【図12】

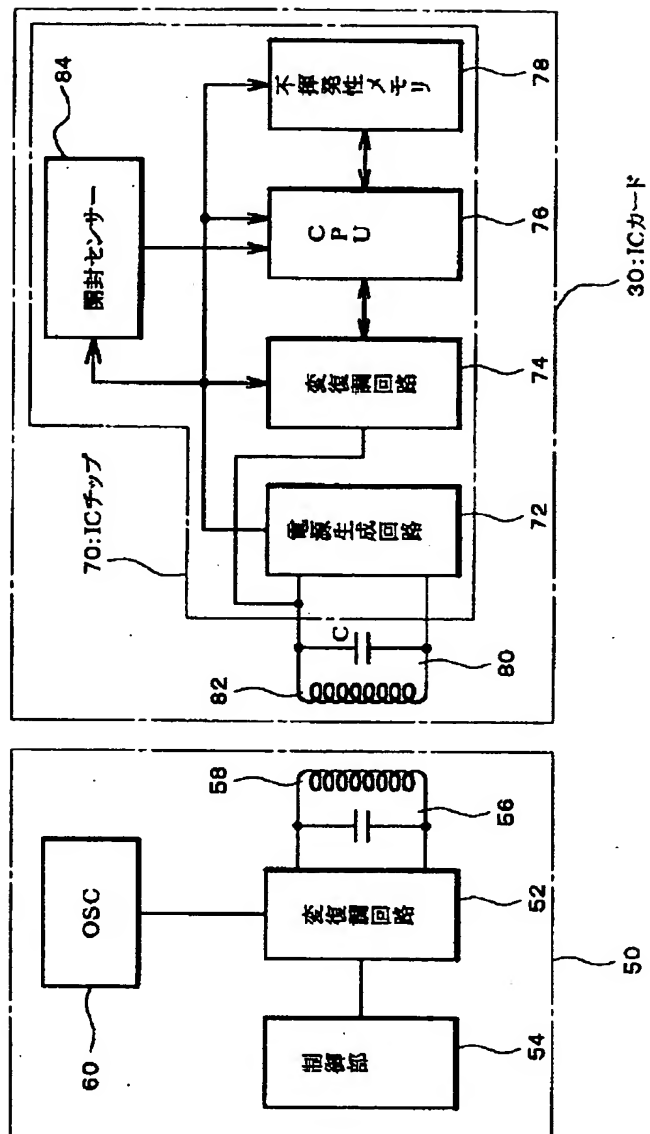


Figure 1 consists of two parts, A and B, illustrating a semiconductor device.

Part A is a plan view of the device. It shows a rectangular region 70 defined by a boundary 110. Inside this region, there are four rectangular areas labeled p^+ . A horizontal line 102 passes through the center of these p^+ regions. The entire region 70 is situated on a p -sub (p-substrate) layer. A label 100 points to the bottom boundary of the region 70.

Part B is a cross-sectional view of the device. It shows a layered structure. The top layer is a p+ region. Below it is an n-well region. The bottom layer is a p-sub (p-substrate) region. The n-well region contains four rectangular areas labeled p^+ . A label 102 points to the top surface of the p+ regions. A label 100 points to the bottom surface of the p-sub region. A label 70 points to the top surface of the p+ regions.

Below part B, there are four brackets labeled D1, D2, D3, and D4, which correspond to the four p^+ regions shown in the cross-section.

A

Figure 8A is a cross-sectional view of the second embodiment of the semiconductor device. It shows a substrate 2 with a first layer 16 and a second layer 18. A third layer 10 is formed on top of the second layer 18. A fourth layer 9 is formed on top of the third layer 10. A fifth layer 12 is formed on top of the fourth layer 9. A sixth layer 14 is formed on top of the fifth layer 12. A seventh layer 4 is formed on top of the sixth layer 14. An eighth layer 20 is formed on top of the seventh layer 4. A ninth layer 16 is formed on top of the eighth layer 20. A tenth layer 18 is formed on top of the ninth layer 16. A eleventh layer 9 is formed on top of the tenth layer 18. A twelfth layer C1 is formed on top of the eleventh layer 9. A thirteenth layer C2 is formed on top of the twelfth layer C1. The label "断面S1-S1" indicates the cross-section along the S1-S1 plane.

B

Figure 8B is a circuit diagram of the second embodiment. It shows a block 9 representing the semiconductor device. The block 9 has two input terminals, VDD and GND. A capacitor C1 is connected between the VDD terminal and the GND terminal. A resistor 4 is connected between the VDD terminal and the GND terminal. The resistor 4 and capacitor C1 are connected in parallel. The label "Z2" is shown below the resistor 4 and capacitor C1, indicating their combined impedance.